

UNTERSUCHUNG DES EINFLUSSES VON ON-CHIP DECOUPLING KAPAZITÄTEN AUF DIE VERRINGERUNG DER STÖREMISSION VON INTEGRIERTEN SCHALTUNGEN

Timm Ostermann (1), Daniel Schneider (1), Christian Bacher (1), Bernd Deutschmann (2), Roland Jungreithmair (2), Christoph Lackner (1), Rüdiger Kössl (1), Wolfgang Gut (1), Thomas Bauernfeind (1) und Richard Hagelauer (1)

(1) Institut für Integrierte Schaltungen, Universität Linz, Altenberger Str. 69, 4040 Linz, oster@riic.at

(2) austriamicrosystems AG, Full Service Foundry, 8141 Schloß Premstätten, bernd.deutschmann@austriamicrosystems.com

Im Rahmen dieses Beitrags wird anhand eines hierfür entworfenen Test-Chip untersucht, wie On-Chip Decoupling Kapazitäten zur Verringerung der Störemission von ICs eingesetzt werden können. Es wird der Test-Chip bestehend aus einem Stromzellen DAC, zwei single Bit $\Sigma\Delta$ -ADC sowie On-Chip Decoupling Kapazitätsblöcke vorgestellt und das Prinzip des

On-Chip Decoupling beschrieben. Weiter erfolgt eine detaillierte Beschreibung der Meßmethode, die der IEC Norm (IEC 61967-2) entspricht. Anhand von Messergebnissen wird der Einfluss des On-Chip Decoupling auf die Reduzierung der Störemission diskutiert.